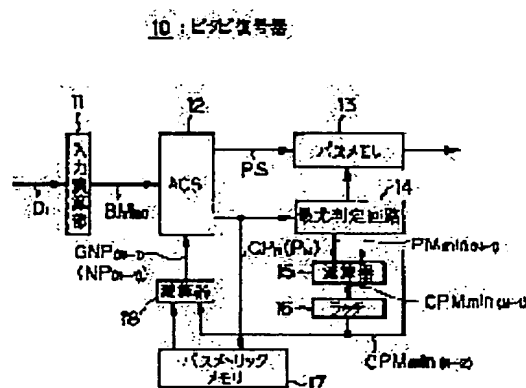


(11)Publication number : **08-008763**
(43)Date of publication of application : **12.01.1996**

(21)Application number : **06-134689**
(71)Applicant : **PIONEER ELECTRON CORP**
(22)Date of filing : **16.06.1994**
(72)Inventor : **MINOJIMA KUNIHIRO**
ISHIDA TETSUMASA

CONSTITUTION: The most likelihood decision circuit 14 of a viterbi decoder 10 defines the minimum value of path metric data PMN as a minimum PMmin(N) and outputs the value concerned to a first subtracter 15. The subtracter 15 subtracts the (N-1)th correction minimum PM data CPMmin(N-2) from the Nth minimum PM data PMmin(N), generates the Nth correction minimum PM data CPMmin(N), outputs the data CPMmin(N) to a latch 16 and updates correction minimum PM data. In parallel to this processing, the circuit 14 defines the minimum value of inputted PM data PMN+1 as minimum PM data PMmin(N+1) and outputs the value concerned to the subtracter 15. The subtracter 15 subtracts the Nth correction minimum PM data CPMmin(N) from the (N+1)th minimum PM data CPMmin(N+1), generates the Nth correction minimum PM data CPMmin(N+1), outputs the data CPMmin(N+1) to the circuit 16 and updates correction minimum PM data.



[Date of request for examination]
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-8763

(43) 公開日 平成 8 年 (1996) 1 月 12 日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H03M 13/12		0836-5K		
G06F 11/10	330	N		

審査請求 未請求 請求項の数 2 O L (全 8 頁)

(21) 出願番号 特願平6-134689

(22) 出願日 平成 6 年 (1994) 6 月 16 日

(71) 出願人 000005016

パイオニア株式会社

東京都目黒区目黒 1 丁目 4 番 1 号

(72) 発明者 美濃島 邦宏

埼玉県鶴ヶ島市富士見 6 丁目 1 番 1 号 パ

イオニア株式会社総合研究所内

(72) 発明者 石田 哲正

埼玉県鶴ヶ島市富士見 6 丁目 1 番 1 号 パ

イオニア株式会社総合研究所内

(74) 代理人 弁理士 石川 泰男

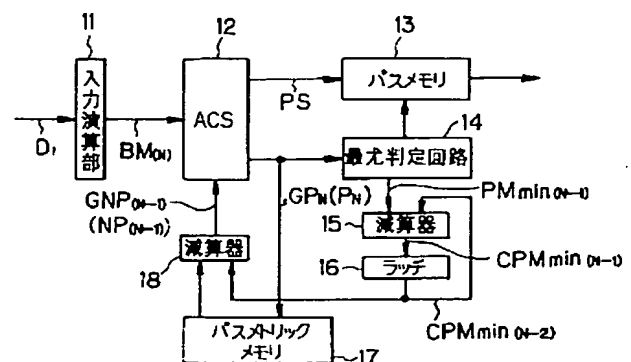
(54) 【発明の名称】 ビタビ復号器及びビタビ復号方法

(57) 【要約】

【目的】 低速なクロック信号で従来と同様の処理が行え、クロック生成回路の構成を複雑にすることなく、処理に必要なクロック数を低減する。

【構成】 入力演算部、ACS 部及び最尤判定部を有するビタビ復号器において、補正最小パスメトリックデータを記憶する記憶手段と、第 (N-1) 番目の最小パスメトリックデータから記憶手段に記憶された第 (N-2) 番目の補正最小パスメトリックデータを減算し第 (N-1) 番目の補正最小パスメトリックデータを出力する減算手段と、ACS 部により出力された少なくとも第 (N-1) 番目のパスメトリックデータ群を記憶するパスメトリック記憶手段と、第 (N-1) 番目のパスメトリックデータ群を構成するパスメトリックデータから第 (N-2) 番目の補正最小パスメトリックデータを減算し第 N 番目の正規化パスメトリックデータ群として出力する正規化手段と、を備える。

10 : ビタビ復号器



【特許請求の範囲】

【請求項1】 入力データに基づいてブランチメトリックデータ群を出力する入力演算部と、ブランチメトリックデータ群及び正規化パスメトリックデータ群に基づいてパスメトリックデータ群を生成し出力するACS部と、前記パスメトリックデータ群を構成するパスメトリックデータの最小値を判定し最小パスメトリックデータを出力する最尤判定部と、を備えたビタビ復号器において、

補正最小パスメトリックデータを記憶する記憶手段と、第(N-1)番目の前記最小パスメトリックデータから前記記憶手段に記憶された第(N-2)番目の前記補正最小パスメトリックデータを減算し第(N-1)番目の前記補正最小パスメトリックデータを出力する減算手段と、

前記ACS部により出力された少なくとも第(N-1)番目の前記パスメトリックデータ群を記憶するパスメトリック記憶手段と、

前記第(N-1)番目のパスメトリックデータ群を構成する前記パスメトリックデータから前記第(N-2)番目の補正最小パスメトリックデータを減算し第(N-1)番目の前記正規化パスメトリックデータ群として出力する正規化手段と、を備えたことを特徴とするビタビ復号器。

【請求項2】 入力データに基づいてブランチメトリックデータ群を出力する入力演算工程と、ブランチメトリックデータ群及び正規化パスメトリックデータ群に基づいてパスメトリックデータ群を生成し出力するACS工程と、前記パスメトリックデータ群を構成するパスメトリックデータの最小値を判定し最小パスメトリックデータを出力する最尤判定工程と、を備えたビタビ復号方法において、

補正最小パスメトリックデータを記憶する記憶工程と、第(N-1)番目の前記最小パスメトリックデータから前記記憶工程で記憶した第(N-2)番目の前記補正最小パスメトリックデータを減算し第(N-1)番目の前記補正最小パスメトリックデータを出力する減算工程と、

前記ACS部により出力された少なくとも第(N-1)番目の前記パスメトリックデータ群を記憶するパスメトリック記憶工程と、

前記第(N-1)番目のパスメトリックデータ群を構成する前記パスメトリックデータから前記第(N-2)番目の補正最小パスメトリックデータを減算し第(N-1)番目の前記正規化パスメトリックデータ群として出力する正規化工程と、

を備えたことを特徴とするビタビ復号方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、データ伝送系又はデー

タ記録系における誤り訂正復号を行うビタビ復号器及びビタビ復号方法に関する。

【0002】

【従来の技術】 図4に従来のビタビ復号器の概要構成ブロック図を示す。以下の説明においては、拘束長 $K=7$ 、符号化レート $1/3$ 、3ビットソフトディシジョンの場合を例として説明する。

【0003】 ビタビ復号器50は、畳み込み符号である入力データのサンプルデータ(軟判定出力データ) D_i に基づいて8個のブランチメトリックデータ BM_m ($m=1\sim 8$)を算出し、出力する入力演算部51と、入力演算部51から入力されたブランチメトリックデータ BM_m 及び後述のパスメトリックメモリから入力された前回のパスメトリックデータ PM_n' を正規化処理して得られる正規化パスメトリックデータ NPM_n' に基づいて加算・比較・選択(Add Compare Select)処理を行い、パス選択データPS及びパスメトリックデータ PM_n ($n=1\sim 64$)を出力する加算・比較・選択回路

(以下、ACS回路という。)52と、パス選択データPSを記憶するパスメモリ53と、パスメトリックデータ PM_n のうちから最小値を有する最小パスメトリックデータ $PM_{n,1}$ を判別し出力する最尤判定回路54と、パスメトリックデータ PM_n のそれぞれから前回の最小パスメトリックデータ $PM_{n,1}$ を差し引くことにより正規化を行い正規化パスメトリックデータ NPM_n を出力する減算器55と、正規化パスメトリックデータ NPM_n を記憶するパスメトリックメモリ56と、を備えて構成されている。

【0004】 次に図5及び図6を参照して動作を説明する。この場合において、説明の簡略化のため、ブランチメトリックデータBM及びパスメトリックデータPMはそれぞれ1個であるものとする。

【0005】 入力演算部51が畳み込み符号である入力データのサンプルデータ(軟判定出力データ) D_i に基づいてブランチメトリックデータ $BM=a$ を算出し、ACS回路52に出力すると、ACS回路52は、入力演算部51から入力されたブランチメトリックデータBM及びパスメトリックメモリ56から入力された前回のパスメトリックデータ PM' (初期値は0)を正規化処理して得られる正規化パスメトリックデータ NPM_n' (初期値は0)に基づいて加算・比較・選択処理を行い、時刻①にパス選択データPS及びパスメトリックデータPMを最尤判定回路54及び減算器55に出力する。より詳細には、パスメトリックデータPMは、 $PM=BM+NPM'$
 $=BM+PM'-PM_{n,1}$ と表される。

【0006】 より具体的には、時刻①におけるパスメトリックデータPMは、

$$PM=a+0-0$$

$= a$

となる。

【0007】最尤判定回路 54 は、入力されたパスメトリックデータ PM の最小値を最小パスメトリックデータ（初期値は 0） PM_{min} として時刻②に減算器 55 に出力する。

【0008】より具体的には、時刻②における最小パスメトリックデータ PM_{min} は、パスメトリックデータ PM が一つであるので、

$$PM_{min} = a$$

となる。

【0009】これにより減算器 55 は、前回の最小パスメトリックデータ PM_{min} を今回のパスメトリックデータ PM から差し引くことにより、今回の正規化パスメトリックデータ NPM を出力し、パスメトリックメモリ 56 に記憶させる。

【0010】同様に時刻③におけるパスメトリックデータ PM は、

$$PM = b + a - a$$

$$= b$$

となり、時刻④における最小パスメトリックデータ PM_{min} は、パスメトリックデータ PM が一つであるので、

$$PM_{min} = b$$

となる。

【0011】また、時刻⑤におけるパスメトリックデータ PM は、

$$PM = c + b - b$$

$$= c$$

となり、時刻⑥における最小パスメトリックデータ PM_{min} は、パスメトリックデータ PM が一つであるので、

$$PM_{min} = c$$

となる。

【0012】さらに、時刻⑦におけるパスメトリックデータ PM は、

$$PM = d + c - c$$

$$= d$$

となり、時刻⑧における最小パスメトリックデータ PM_{min} は、パスメトリックデータ PM が一つであるので、

$$PM_{min} = d$$

となり、以下、同様に処理が繰り返される。

【0013】この場合において、ACS 回路 52 におけるパスメトリックデータ PM の算出は最尤判定回路 54 における最小パスメトリックデータ P_{min} の算出後でなければならない、最尤判定回路 54 における最小パスメトリックデータ P_{min} の算出は ACS 回路 52 におけるパスメトリックデータ PM の算出後でなければならないので、これらの処理はシーケンシャルに行われていた。

【0014】

【発明が解決しようとする課題】従って、上記従来のビタビ復号器においては、一のデータが入力演算部に入力

されてから次のデータが入力演算部に入力されるまでの間に入力演算部の処理、ACS 回路における加算・比較・選択処理、最尤判定回路における最尤判定処理及び正規化処理部としての減算器における正規化処理（減算処理）を行わなければならない、動作クロック信号として高速なクロック信号が必要であるという問題点があった。

【0015】また、動作クロック信号として用いるクロック信号の周期は、ACS 回路における加算・比較・選択処理及び最尤判定回路における最尤判定処理に規制されるため、必ずしも基準クロック信号周期の 2 のべき乗倍とはならずクロック生成回路の構成が複雑になるという問題点があった。すなわち、各処理が 2 のべき乗倍のクロックで処理が終了するとしても、それらを合わせたクロックが 2 のべき乗倍とはならずクロック生成が複雑になるのである。

【0016】より具体的には、加算・比較・選択処理に基本クロックにして例えば 8 クロック、最尤判定処理に 4 クロック必要であるとする、各々は 2 のべき乗倍のクロックであるが、合せて 12 クロック必要となり 2 のべき乗倍とはならないのである。

【0017】さらに ACS 回路における加算・比較・選択処理及び最尤判定回路における最尤判定処理に必要とされるクロック数が各処理におけるクロック数の総和となるため、処理に必要なクロック数が増大するという問題点があった。

【0018】そこで、本発明の目的は、低速なクロック信号で従来と同様の処理が行え、クロック生成回路の構成を複雑にすることなく、処理に必要なクロック数を低減することができるビタビ復号器及びビタビ復号方法を提供することにある。

【0019】

【課題を解決するための手段】上記課題を解決するため、請求項 1 記載の発明は、入力データに基づいてランチメトリックデータ群を出力する入力演算部と、ランチメトリックデータ群及び正規化パスメトリックデータ群に基づいてパスメトリックデータ群を生成し出力する ACS 部と、前記パスメトリックデータ群を構成するパスメトリックデータの最小値を判定し最小パスメトリックデータを出力する最尤判定部と、を備えたビタビ復号器において、補正最小パスメトリックデータを記憶する記憶手段と、第 (N-1) 番目の前記最小パスメトリックデータから前記記憶手段に記憶された第 (N-2) 番目の前記補正最小パスメトリックデータを減算し第

(N-1) 番目の前記補正最小パスメトリックデータを出力する減算手段と、前記 ACS 部により出力された少なくとも第 (N-1) 番目の前記パスメトリックデータ群を記憶するパスメトリック記憶手段と、前記第 (N-1) 番目のパスメトリックデータ群を構成する前記パスメトリックデータから前記第 (N-2) 番目の補正最小パスメトリックデータを減算し第 (N-1) 番目の前記

10

20

30

40

50

正規化パスメトリックデータ群として出力する正規化手段と、を備えて構成する。

【0020】また、請求項2記載の発明は、入力データに基づいてブランチメトリックデータ群を出力する入力演算工程と、ブランチメトリックデータ群及び正規化パスメトリックデータ群に基づいてパスメトリックデータ群を生成し出力するACS工程と、前記パスメトリックデータ群を構成するパスメトリックデータの最小値を判定し最小パスメトリックデータを出力する最尤判定工程と、を備えたビタビ復号方法において、補正最小パスメトリックデータを記憶する記憶工程と、第(N-1)番目の前記最小パスメトリックデータから前記記憶工程に記憶された第(N-2)番目の補正最小パスメトリックデータを減算し第(N-1)番目の補正最小パスメトリックデータを出力する減算工程と、前記ACS部により出力された少なくとも第(N-1)番目のパスメトリックデータ群を記憶するパスメトリック記憶工程と、前記第(N-1)番目のパスメトリックデータ群を構成するパスメトリックデータから前記第(N-2)番目の補正最小パスメトリックデータを減算し第(N-1)番目の前記正規化パスメトリックデータ群として出力する正規化工程と、を備えて構成する。

【0021】

【作用】請求項1記載の発明によれば、入力演算部は、入力データに基づいてブランチメトリックデータ群をACS部に出力する。

【0022】一方、正規化手段は、パスメトリック記憶手段に記憶した第(N-1)番目のパスメトリックデータ群を構成するパスメトリックデータから記憶手段に記憶した第(N-2)番目の補正最小パスメトリックデータを減算し第(N-1)番目の正規化パスメトリックデータ群としてACS部に出力する。

【0023】これによりACS部は、ブランチメトリックデータ群及び正規化パスメトリックデータ群に基づいてパスメトリックデータ群を生成し最尤判定部へ出力し、最尤判定部は、ACS部より第(N-1)番目に入力されたパスメトリックデータ群を構成するパスメトリックデータの最小値を判定し第(N-1)番目の最小パスメトリックデータを減算手段に出力する。

【0024】また、減算手段は、第(N-1)番目の最小パスメトリックデータから記憶手段に記憶した第(N-2)番目の補正最小パスメトリックデータを減算し第(N-1)番目の補正最小パスメトリックデータを記憶手段に出力し更新する。

【0025】従って、ACS部において第N番目のパスメトリックデータ群を生成するに際し、第(N-1)番目の最小パスメトリックデータを必要としないので、ACS部における第N番目のパスメトリックデータ群の生成と、最尤判別手段における第(N-1)番目の最小パスメトリックデータの判定とを並列に行うことができ

る。

【0026】請求項2記載の発明によれば、入力演算工程は、入力データに基づいてブランチメトリックデータ群をACS工程に出力する。一方、正規化工程は、パスメトリック記憶工程で記憶した第(N-1)番目のパスメトリックデータ群を構成するパスメトリックデータから記憶工程に記憶した第(N-2)番目の補正最小パスメトリックデータを減算し第(N-1)番目の正規化パスメトリックデータ群としてACS工程に出力する。

【0027】これによりACS工程は、ブランチメトリックデータ群及び正規化パスメトリックデータ群に基づいてパスメトリックデータ群を生成し最尤判定工程へ出力し、最尤判定工程は、ACS工程より第(N-1)番目に入力されたパスメトリックデータ群を構成するパスメトリックデータの最小値を判定し第(N-1)番目の最小パスメトリックデータを減算工程に出力する。

【0028】また、減算工程は、第(N-1)番目の最小パスメトリックデータから記憶工程で記憶した第(N-2)番目の補正最小パスメトリックデータを減算し第(N-1)番目の補正最小パスメトリックデータを記憶工程に出力し更新する。

【0029】従って、ACS工程において第N番目のパスメトリックデータ群を生成するに際し、第(N-1)番目の最小パスメトリックデータを必要としないので、ACS工程における第N番目のパスメトリックデータ群の生成と、最尤判別工程における第(N-1)番目の最小パスメトリックデータの判定とを並列に行うことができる。

【0030】

【実施例】次に図面を参照して本発明の好適な実施例を説明する。図1に実施例のビタビ復号器の概要構成ブロック図を示す。以下の説明においては、拘束長 $K=7$ 、符号化レート $1/3$ 、3ビットソフトディジションの場合を例として説明する。

【0031】ビタビ復号器10は、畳み込み符号である入力データのサンプルデータ(軟判定出力データ) D_i に基づいて第N番目のブランチメトリックデータ群を構成する8個のブランチメトリックデータ $BM_{k,i}$ を算出し、出力する入力演算部11と、入力演算部11から入力された第N番目のブランチメトリックデータ $BM_{k,i}$ 及び後述のパスメトリックメモリから入力された第(N-1)番目のパスメトリックデータ群 $G_{P_{k-1}}$ を構成するn個($n=1\sim64$)のパスメトリックデータ $PM_{k-1,i}$ を正規化処理して得られる第(N-1)番目の正規化パスメトリックデータ群 $G_{NP_{k-1}}$ を構成する正規化パスメトリックデータ $NPM_{k-1,i}$ に基づいて加算・比較・選択(Add Compare Select)処理を行い、パス選択データPS及び第N番目のパスメトリックデータ群 G_{P_k} を構成するパスメトリックデータ PM_k を出力する加算・比較・選択回路(以下、ACS回路という。)12と、パ

ータ $CPM_{i,n}(F+1)$ は、

$$\begin{aligned} CPM_{i,n}(F+1) &= PM_{i,n}(F+1) - CPM_{i,n}(F) \\ &= b + a - a \\ &= b \end{aligned}$$

となる。

【0043】また、時刻⑥におけるパスメトリックデータ $PM_{i,n}(F+1)$ は、

$$PM_{i,n}(F+1) = c + b$$

となり、時刻⑥における最小パスメトリックデータ $PM_{i,n}(F+1)$ は、パスメトリックデータ PM が一つであるので、

$$PM_{i,n}(F+1) = c + b$$

となり、第 $(N+2)$ 番目の補正最小パスメトリックデータ $CPM_{i,n}(F+2)$ は、

$$\begin{aligned} CPM_{i,n}(F+2) &= PM_{i,n}(F+2) - CPM_{i,n}(F+1) \\ &= c + b - b \\ &= c \end{aligned}$$

となる。

【0044】さらに、時刻⑦におけるパスメトリックデータ $PM_{i,n}(F+3)$ は、

$$PM_{i,n}(F+3) = d + c$$

となり、以下、同様に処理が繰り返される。

【0045】以上の説明のように、本実施例によれば、ACS回路12におけるパスメトリックデータ PM の算出は最尤判定回路14における最小パスメトリックデータ $PM_{i,n}$ の算出と並列に行うことができるので、処理速度を高速にすることができる。換言すれば、あるデータレートで入力データを処理するに際し、必要なクロック数を低減することができる。

【0046】さらに動作クロック信号として用いるクロック信号の周期は、ACS回路における加算・比較・選択処理により規制されるだけであり、基準クロック信号周期の2のべき乗倍とすることができクロック生成回路の構成を簡略化することができる。

【0047】

【発明の効果】請求項1記載の発明によれば、ACS部において第N番目のパスメトリックデータ群を生成するに際し、第 $(N-1)$ 番目の最小パスメトリックデータを必要としないので、ACS部における第N番目のパスメトリックデータ群の生成と、最尤判別手段における第 $(N-1)$ 番目の最小パスメトリックデータの判定とを並列に行うことができ、処理速度を高速にすることができる。換言すれば、あるデータレートで入力データを処理するに際し、必要なクロック数を低減することができ

る。さらに動作クロック信号として用いるクロック信号の周期は、ACS部における処理により規制されるだけであり、基準クロック信号周期の2のべき乗倍とすることができクロック生成回路の構成を簡略化することができる。

【0048】請求項2記載の発明によれば、ACS工程において第N番目のパスメトリックデータ群を生成するに際し、第 $(N-1)$ 番目の最小パスメトリックデータを必要としないので、ACS工程における第N番目のパスメトリックデータ群の生成と、最尤判別工程における第 $(N-1)$ 番目の最小パスメトリックデータの判定とを並列に行うことができ、処理速度を高速にすることができる。換言すれば、あるデータレートで入力データを処理するに際し、必要なクロック数を低減することができる。さらに動作クロック信号として用いるクロック信号の周期は、ACS工程における処理により規制されるだけであり、基準クロック信号周期の2のべき乗倍とすることができクロック生成を容易にできる。

【図面の簡単な説明】

【図1】実施例の概要構成を示すブロック図である。

【図2】図1の実施例のタイミングチャートである。

【図3】図1の実施例の動作を説明する図である。

【図4】従来例の概要構成を示すブロック図である。

【図5】図4の従来例のタイミングチャートである。

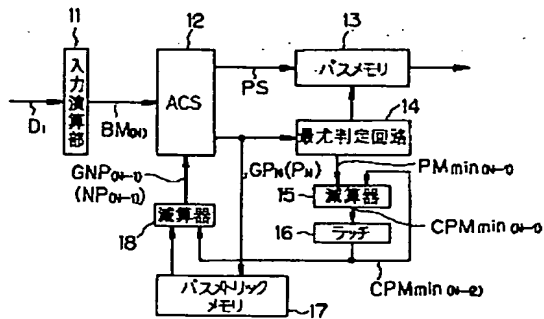
【図6】図4の従来例の動作を説明する図である。

【符号の説明】

- 10…ビタビ復号器
- 11…入力演算部
- 12…加算・比較・選択回路 (ACS回路)
- 13…パスメモリ
- 14…最尤判定回路
- 15…第1減算器
- 16…ラッチ回路
- 17…パスメトリックメモリ
- 18…第2減算器
- D_i …入力データ
- $PM_{i,n}$ …最小パスメトリックデータ
- BM_i …ブランチメトリックデータ
- GP_F …パスメトリックデータ群
- PM_n …パスメトリックデータ
- GNP …正規化パスメトリックデータ群
- NPM_n …正規化パスメトリックデータ
- PS …パス選択データ
- $CPM_{i,n}$ …補正最小パスメトリックデータ

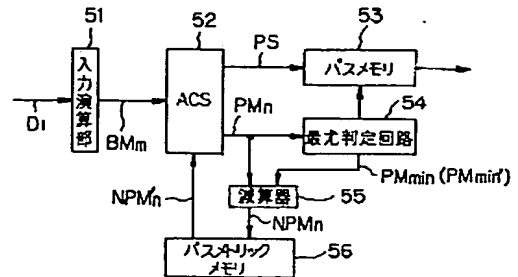
【図 1】

10 : ビタビ復号器

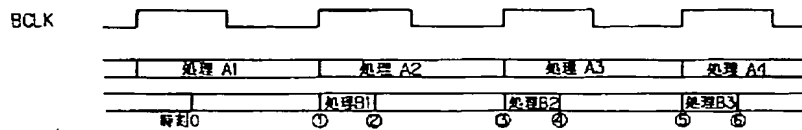


【図 4】

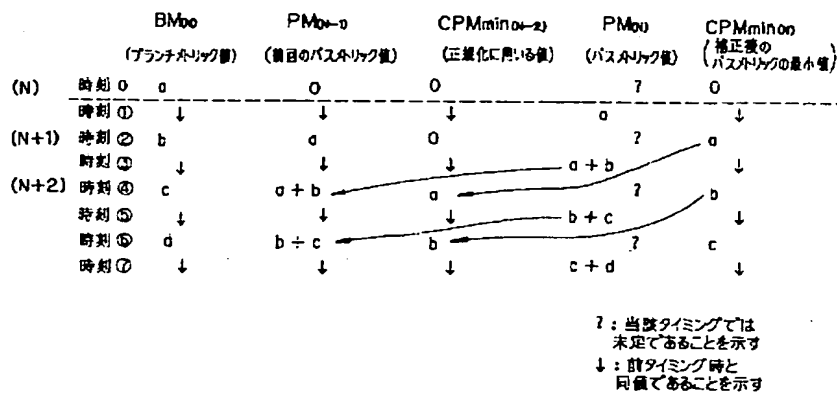
50 : ビタビ復号器



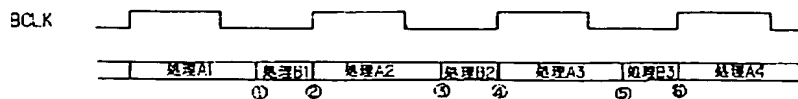
【図 2】



【図 3】



【図 5】



【図 6】

	BM (ブランチメトリック値)	PM' (劣位のパスメトリック値)	PMmin' (正規化に用いる値)	PM (パスメトリック値)	PMmin (パスメトリックの最小値)
時刻 ①	c	0	0	a	0
時刻 ②	↓	↓	↓	↓	a
時刻 ③	b	a	a	b	↓
時刻 ④	↓	↓	↓	↓	b
時刻 ⑤	c	b	b	c	↓
時刻 ⑥	↓	↓	↓	↓	c
時刻 ⑦	d	c	c	d	↓
時刻 ⑧	↓	↓	↓	↓	d